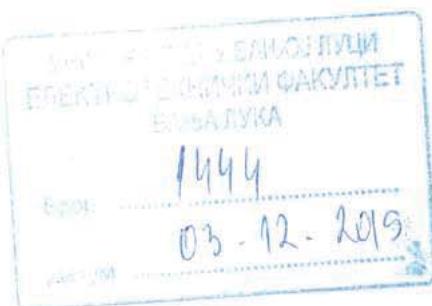


УНИВЕРЗИТЕТ У БАЊОЈ ЛУЦИ  
ФАКУЛТЕТ: ЕЛЕКТРОТЕХНИЧКИ



## ИЗВЈЕШТАЈ КОМИСИЈЕ

*о пријављеним кандидатима за избор наставника и сарадника у звање*

### I. ПОДАЦИ О КОНКУРСУ

Одлука о расписивању конкурса, орган и датум доношења одлуке:  
Одлука бр. 02/04-3.2254-46/19, Сенат Универзитета у Бањој Луци, 25.09.2019.

Ужа научна/умјетничка област:  
Електроника и електронски системи

Назив факултета:  
Електротехнички факултет

Број кандидата који се бирају  
1 (један)

Број пријављених кандидата  
1 (један)

Датум и мјесто објављивања конкурса:  
Конкурс је објављен 16.10.2019. године у дневном листу Глас Српске и на интернет страницама Универзитета у Бањој Луци

Састав комисије:  
а) др Златко Бундало, редовни професор, Електротехнички факултет Универзитета у Бањој Луци, ужа научна област Електроника и електронски системи, предсједник

- б) др Предраг Петковић, редовни професор, Електронски факултет Универзитета у Нишу, ужа научна област Електроника, члан  
 в) др Бранко Блануша, ванредни професор, Електротехнички факултет Универзитета у Бањој Луци, ужа научна област Електроника и електронски системи, члан

**Пријављени кандидати**

1. Mr. Миладин Сандић, дипл. инж. ел.

**II. ПОДАЦИ О КАНДИДАТИМА**

*Први кандидат*

**а) Основни биографски подаци :**

Име (име оба родитеља) и презиме:	Миладин (Горан и Данка) Сандић
Датум и мјесто рођења:	12.01.1988. Бања Лука, БиХ
Установе у којима је био запослен:	1. DIGIT доо, Бања Лука 2. LANACO доо, Бања Лука 3. Институт РТ-РК, Бања Лука
Радна мјеста:	1. Програмер 2. Систем инжењер за рачунарске системе 3. Инжењер софтвера
Чланство у научним и стручним организацијама или удружењима:	IEEE

**б) Дипломе и звања:**

<b>Основне студије</b>	
Назив институције:	Електротехнички факултет у Бањој Луци
Звање:	Дипломирани инжењер електротехнике - 240 ECTS
Мјесто и година завршетка:	Бања Лука, 2011. год.
Просјечна оцјена из цијелог студија:	8.17
<b>Постдипломске студије:</b>	
Назив институције:	Електротехнички факултет у Бањој Луци
Звање:	Магистар електронике и телекомуникација
Мјесто и година завршетка:	Бања Лука, 2013. год.
Наслов завршног рада:	Пројектовање CMOS сабирача у режимима слабе и јаке инверзије
Научна/умјетничка област (подаци из	

дипломе):	
Просјечна оцјена:	9.71
<b>Докторске студије/докторат:</b>	
Назив институције:	Факултет техничких наука, Нови Сад
Мјесто и година одбране докторске дисертација:	Студије у току
Назив докторске дисертације:	
Научна/умјетничка област (подаци из дипломе):	
Претходни избори у наставна и научна звања (институција, звање, година избора)	

#### в) Научна/умјетничка дјелатност кандидата

Радови прије посљедњег избора/реизбора

(Навести све радове сврстане по категоријама из члана 19. или члана 20.)

##### 1. Научни рад на научном скупу међународног значаја, штампан у ћелини (члан 19/15)

1.1. **Miladin Sandić**, Bogdan Pavković, Nikola Teslić: "Impact of Anomalies within TTEthernet Network on Synchronization Protocol: Analysis Using OMNeT++ Simulations", *Zooming Innovation in Consumer Electronics International Conference (ZINC)*, Novi Sad, Serbia, 2018, 6 stranica.

*Кратак садржај:* Један од најбитнијих аспеката детерминистичке комуникације је усклађивање часовника. Исправно обављено покретања мреже осигурува коректну процедуру усклађивања часовника, као и исправно функционисање комплетне мреже. Пошто је TTEthernet мрежа систем који је отпоран на отказе, треба да се може носити са одређеним бројем мрежних компонената под отказом током процеса покретања мреже. Отпорност на отказе је веома важан аспект у безбједносно-критичним системима попут савремених возила. У овом раду, симулирана је TTEthernet мрежа код које је један комутатор под отказом. За потребе симулација коришћен је симулатор развијен у алату OMNeT++, према стандарду SAE AS6802. Симулирали смо неколико сценарија: PCF оквири (индивидуални, као и секвенце CS, CA и IN оквира) су слани у критичним тренуцима са прикључком комутатора под отказом, на један од крајњих уређаја у симулираној мрежи. Симулације показују негативан утицај комутатора под отказом на вријеме покретања (степенасто повећање) крајњег уређаја који није под отказом.

**5 бодова**

1.2. **Miladin Sandic**, Ivan Velikić, Aleksandar Jakovljević: "Calculation of Number of Integration Cycles for Systems Synchronized Using the AS6802 Standard", *Zooming Innovation in Consumer Electronics International Conference (ZINC)*, Novi Sad, Serbia, 2017, 2 stranice.

*Кратак садржај:* Исправно одржавано усклађивање часовника међу уређајима је веома важно у детерминистичким мрежама попут TTEthernet мрежа, које раде поштујући SAE AS6802 стандард. У овом раду је описано како израчунати број интеграционих циклуса по периоду кластера, у зависности од потребне тачности часовника имплементираних у мрежним уређајима. Утицај броја интеграционих циклуса на оптерећење веза је такође анализиран. Исправно прорачунат број интеграционих циклуса обезбеђује стабилну процедуру усклађивања часовника у мрежи, заједно са оптималним оптерећењем веза.

**5 бодова**

1.3. **Miladin Sandić**, Nikola Teslić, Ivan Velikić: "Bandwidth Utilization in Deterministic Networks", *Zooming Innovation in Consumer Electronics International Conference (ZINC)*, Novi Sad, Serbia, 2016, 2 stranice.

*Кратак садржај:* У овом раду је анализирано како тип оквира, период и број виртуелних веза утичу на оптерећење физичке везе у детерминистичким мрежама. Оваква анализа је важна за сервисе који комбинују потрошачку електронику и авионску индустрију, попут In-Flight Entertainment система. Анализирали смо једну топологију TTEthernet детерминистичке мреже и утицај TT, RC, PCF класа саобраћаја на укупно оптерећење веза. Пропусни опсег који није искориштен за споменуте класе саобраћаја, може се искористити за класе саобраћаја које генеришу компоненте потрошачке електронике.

**5 бодова**

1.4. **Miladin Sandić**, Ivan Velikić: "Implementation of Frames Scheduling in Mixed-Critical Networks", *Zooming Innovation in Consumer Electronics International Conference (ZINC)*, Novi Sad, Serbia, 2016, 2 stranice.

*Кратак садржај:* У овом раду је дата једна имплементација генератора распореда слања оквира у мрежама са више приоритета саобраћаја. Додатно су објашњени и услови који морају бити задовољени да би се избегло преоптерећење веза, као и евентуални судари оквира. Слободан простор на временској скали може бити искоришћен за стандардни Ethernet саобраћај у системима који комбинују саобраћаје са више приоритета, као што су нпр. In-Flight Entertainment или In-Car Internet. Мање заузеће временске скале од стране детерминистичког саобраћаја оставља више простора за саобраћај који генеришу компоненте потрошачке електронике.

**5 бодова**

1.5. Branko Dokić, **Miladin Sandić**: "Energy-Efficient CMOS Full Adders", *Proceedings of the 6<sup>th</sup> Small Systems Simulation Symposium*, Niš, Serbia, 2016, 4 stranice.

*Кратак садржај:* Овај рад даје преглед топологија CMOS потпуних сабирача и њихово поређење са аспекта енергетске ефикасности. Посебна пажња је посвећена

хибридној CMOS логици потпуних сабирача. Анализирано је логичко кашњење и потрошња. Споменуте топологије су анализиране у три режима рада: стандардни, мјешовити или хибридни, те режим слабе инверзије. Добијене карактеристике су добијене примјеном PSPICE алата и 180nm технологије.

5 бодова

**2. Научни рад на научном скупу националног значаја, штампан у цјелини (члан 19/17)**

2.1. **Miladin Sandić**, Bogdan Pavković, Dušan Živkov, Branislav Todorović: "Uticaj dužine integracionog ciklusa na međusobno usklađivanje časovnika u TTEthernet mrežama", *Zbornik radova konferencije TELFOR*, Beograd, 2018, 4 stranice.

*Кратак садржај:* Међусобна усклађеност између часовника уређаја представља веомабитан аспект у детерминистичким мрежама попут TTEthernet-а. Због тога се посебна пажња посвећује избору параметара мрежних уређаја који се користе за сврхе усклађивања часовника. У ове параметре се сврстава и дужина интеграционог циклуса који је предмет наше анализе. За сврхе анализе послужиле су нам симулације вршене на OMNeT++ симулатору којег смо самостално развили и посебно верификовали. Добијени резултати симулација показују да се усклађеност часовника посматраног мрежног уређаја са остатком мреже постиже за краће вријеме, уколико се користе краћа трајања интеграционих циклуса.

1,5 бодова

2.2. **Miladin Sandić**, Ivan Velikić, Aleksandar Bilbija, Milena Milošević: "Analiza principa комуникације у TTEthernet мрежама", *Zbornik radova konferencije ETRAN*, Kladovo, 2017, 5 stranica.

*Кратак садржај:* У овом раду описане су карактеристике TTEthernet мрежа, као и разлике у односу на стандардне Ethernet мреже. Описаны су принципи и улоге Time-Triggered (TT), Rate-Constrained (RC), Best-Effort (BE), те Protocol Control Frames (PCF) типова саобраћаја, где је фокус на TT комуникацији јер је она примарна у TTEthernet мрежама. Објашњен је начин на који се врши синхронизација између уређаја у мрежи, која генерално представља један од најбитнијих аспеката у детерминистичким мрежама. Описаны су принципи којима се постиже отпорност на грешке код TTEthernet мрежа. Кроз опис карактеристика TTEthernet мрежа наведене су њихове предности у безбедносно критичним апликацијама у односу на стандардне Ethernet мреже.

1,5 бодова

2.3. **Miladin Sandić**, Aleksandar Bilbija, Ivan Velikić: "Analiza integracije različitih klasa saobraćaja u mixed-critical mrežama", *Zbornik radova konferencije TELFOR*, Beograd, 2016, 4 stranice.

*Кратак садржај:* У мрежама у којима се преносе пакети са више приоритета,

веома је битно обезбједити одговарајуће механизме који спречавају губљење података у току комуникације, поготово ако се ради о пакетима са највишим приоритетом. Као основу за анализу, у овом раду смо посматрали принципе интеграције саобраћаја података са више приоритета у *TTEthernet* мрежама које могу бити конфигурисане да се користе као стриктно детерминистичке, или као mixed-critical мреже. Анализиран је утицај интеграције саобраћаја на кашњење, оптерећење линка, те креирање распореда слања пакета у *TTEthernet* мрежи.

**2 бода**

2.4. **Miladin Sandić**, Gordana Velikić, Vladimir Davidović, Aleksandar Bilbija: "Analiza искориштености линка у mixed-critical мрежама", *Zbornik radova konferencije ETRAN*, Zlatibor, 2016, 5 stranica.

*Кратак садржај:* У оквирима овог рада анализиран је утицај периода и величине ТТ пакета на искориштеност линка у детерминистичким мрежама. Такође, дат је и осврт на утицај PCF и RC пакета на искориштеност линка. Као основа за анализу послужиле су нам *TTEthernet* мреже. Описане су сличности и разлике између стандардне *Ethernet* и *TTEthernet* мрежне технологије. Објашњен је принцип како се формира ТТ саобраћај и како се остали типови саобраћаја преносе заједно са ТТ пакетима који су најзначајнији у *TTEthernet* мрежама. Дати резултати искориштењи линкова су верификовани помоћу програмског пакета *TTE Tools 4.3*.

**1,5 бодова**

2.5. Branko Dokić, **Miladin Sandić**: "CMOS sabirači u režimima jake i slabe inverzije", *Symposium INFOTEH*, Jahorina, 2013, str. 11-16.

*Кратак садржај:* Логичко кашњење и потрошња енергије су два кључна параметра која дефинишу енергетску ефикасност CMOS дигиталних интегрисаних кола. Енергетска ефикасност зависи од технологије, радног режима, параметара транзистора, напона напајања и топологије кола. У овом раду су анализиране двије топологије 4-битних паралелних сабирача са редним преносом у два режима рада: режим јаке и режим слабе инверзије. Сабирачи су пројектовани стандардном и преносном CMOS логиком. Најбоља енергетска ефикасност постиже се у режиму слабе инверзије при напону напајања  $V_{DD}=300$  mV. Карактеристике логичког кашњења и потрошње енергије добијене су PSPICE анализом, коришћењем параметара 0.18 μm технологије.

**2 бода**

2.6. Branko Dokić, **Miladin Sandić**: "Sabirači sa rednim prenosom u 3 CMOS radna režima", *Zbornik radova konferencije ETRAN*, Zlatibor, 2013, 6 stranica.

*Кратак садржај:* У овом раду су анализиране карактеристике 4-битних сабирача са редним преносом у три CMOS радна режима: режим јаке, слабе и мјешовите инверзије код које је у току динамичког процеса CMOS логике обезбеђен режим јаке, а у прелазној области статичких карактеристика режим слабе инверзије. Дате

су упоредне карактеристике логичког кашњења и потрошње електричне енергије у функцији напона напајања и температуре за дviјe топологије CMOS сабирача: са дуалним nMOS и pMOS мрежама и са симетричним мрежама. Такође, дате су и карактеристике потрошње у функцији кашњења за обје топологије у сва три режима. Карактеристике кашњења и потрошње добијене су примјеном PSPICE 16.3-p008 фирме *Cadence Design Systems* и параметара 180 nm технологије.

**2 бода**

Радови послије последњег избора/реизбора

(Навести све радове, дати њихов кратак приказ и број бодова сврстаних по категоријама из члана 19. или члана 20.)

УКУПАН БРОЈ БОДОВА:

**35,5**

**г) Образовна дјелатност кандидата:**

Образовна дјелатност прије последњег избора/реизбора

(Навести све активности (публикације, гостујућа настава и менторство) сврстаних по категоријама из члана 21.)

Образовна дјелатност послије последњег избора/реизбора

(Навести све активности (публикације, гостујућа настава и менторство) и број бодова сврстаних по категоријама из члана 21.)

УКУПАН БРОЈ БОДОВА:

**д) Стручна дјелатност кандидата:**

Стручна дјелатност кандидата прије последњег избора/реизбора

(Навести све активности сврстаних по категоријама из члана 22.)

Стручна дјелатност кандидата (послије последњег избора/реизбора)

(Навести све активности и број бодова сврстаних по категоријама из члана 22.)

УКУПАН БРОЈ БОДОВА:

### III. ЗАКЉУЧНО МИШЉЕЊЕ

На Конкурс за избор једног сарадника за ужу научну област *Електроника и електронски системи*, објављеном 16.10.2019. године, пријавио се један кандидат, Mr. Миладин Сандић, дипл. инж. ел.

Комисија је, на основу приложене документације, а на основу чланова 19-22 и члана 25 Правилника о поступку и условима избора наставника и сарадника на Универзитету у Бањој Луци, оценила све релевантне резултате које је кандидат постигао, укупно са 35,5 бодова.

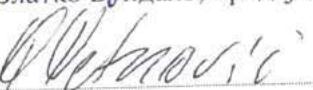
Према Закону о високом образовању Републике Српске, Статуту Универзитета у Бањој Луци и Правилника о поступку и условима избора наставника и сарадника на Универзитету у Бањој Луци, Mr. Миладин Сандић, дипл. инж. ел. испуњава све услове за избор за сарадника у звању виши асистент.

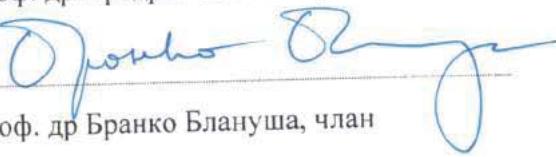
Комисија предлаже Наставно-научном вијећу Електротехничког факултета и Сенату Универзитета у Бањој Луци да се кандидат Mr. **Миладин Сандић**, дипл. инж. ел., изабере за сарадника у звању **виши асистент** за ужу научну област *Електроника и електронски системи*.

Бања Лука, Ниш  
Новембар 2019. године

Потпис чланова комисије

1.   
Проф. др Златко Бундало, предсједник

2.   
Проф. др Предраг Петковић, члан

3.   
Проф. др Бранко Блануша, члан